

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3221901号

(P3221901)

(45)発行日 平成13年10月22日(2001.10.22)

(24)登録日 平成13年8月17日(2001.8.17)

(51)Int.Cl.⁷

識別記号

F I

H 0 1 L 29/78

H 0 1 L 21/02

B

21/02

29/78

3 0 1 B

請求項の数6(全 12 頁)

(21)出願番号 特願平4-282

(22)出願日 平成4年1月6日(1992.1.6)

(65)公開番号 特開平5-183153

(43)公開日 平成5年7月23日(1993.7.23)

審査請求日 平成10年12月24日(1998.12.24)

前置審査

(73)特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 松 澤 一 也

神奈川県川崎市幸区小向東芝町1 株式

会社東芝 総合研究所内

(72)発明者 福 田 早 苗

神奈川県川崎市幸区小向東芝町1 株式

会社東芝 総合研究所内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

審査官 河口 雅英

最終頁に続く

(54)【発明の名称】 半導体装置

1

(57)【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板上に形成された絶縁分離層と、

前記絶縁分離層上に形成されたS i G e層と、

前記S i G e層上に形成された第1導電型のシリコン領域と、

前記シリコン領域中に互いに離間して形成された第2導電型のソース領域およびドレイン領域と、

前記ソース領域およびドレイン領域間の前記シリコン領域表面部に設けられたチャネル領域と、

前記チャネル領域上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

を備えたことを特徴とする半導体装置。

【請求項2】前記S i G e層は、前記チャネル領域を伝導する主伝導キャリアとは逆極性の電荷を有するキャリ

2

アが引き込まれるエネルギー状態となっている層であることを特徴とする請求項1記載の半導体装置。

【請求項3】前記S i G e層は、S iとG eとの組成比がほぼ一定となる第1の層を含んでいることを特徴とする請求項1または2記載の半導体装置。

【請求項4】前記S i G e層は、前記シリコン領域との界面から離れるにつれてG eの濃度が零から増大する第2の層を含んでいることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

10 【請求項5】前記第1の層は、その全域に亘って一定のエネルギー状態となっている定エネルギー層であることを特徴とする請求項3記載の半導体装置。

【請求項6】前記第2の層は、前記キャリアが加速されるエネルギー状態となっている遷移層であることを特徴とする請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は絶縁ゲート型トランジスタを構成する半導体装置に関する。

【0002】

【従来の技術】従来、大規模集積回路（以下、LSIという。）を構成する素子として絶縁ゲート型トランジスタが広く用いられている。絶縁ゲート型とは、金属性（金属製あるいは金属に近い多結晶シリコン（Si）製の電極に電圧を印加し、絶縁物を介して半導体表面を制御するタイプの総称であり、一般にMIS（Metal Insulator Semiconductor）と呼ばれる。その中で、絶縁物として酸化膜を用いたものがMOS（Metal Oxide Semiconductor）、窒化膜を用いたものがMNS（Metal Nitride Semiconductor）、アルミナ被膜を用いたものがMAS（Metal Alumina Semiconductor）にあたる。

【0003】図15は一例として電子伝導型（以下、nチャネルと称する。）MOSFETの構造を示すものである。

【0004】この図において、601はp型シリコン基板であり、この基板601の表面部には相互にチャネル形成領域間の間隔を置いてn⁺ソース領域602及びn⁺ドレイン領域603が形成され、そのチャネル形成領域上には上記絶縁物としてのゲート酸化膜604が形成され、このゲート酸化膜604上には上記金属性電極としてのゲート電極605が形成されている。

【0005】このような構造において、ゲート電極605に+電圧を印加すると、基板601内のゲート酸化膜604下の領域で電子が表面側へ引寄せられ、これがキャリアとなるn型のチャネルが形成され、電流は、このチャネルを通ることでソース領域602からドレイン領域603に向かって流れることが可能となる。

【0006】また、このようなMOS等のMISFETにおいて、近年では、SOI（Semiconductor on Insulator）構造がよく用いられる。このSOIMOSFETは、絶縁膜の上に新たに素子を構成したもので、三次元集積回路のような高密度・高機能素子の実現には欠かせない技術であり、また、三次元的に積層せず従来と同様の構成の集積回路においても、個々の素子の完全な分離を可能とする重要な技術の一つである。

【0007】図16はその一例としてSOI構造を持つnチャネルMOSFETの構造を示すものである。

【0008】この図において、701はp型シリコン基板であり、この基板701上にはその上下層を電気的に絶縁分離し上記SOI構造を提供する層間分離酸化膜層702が形成され、MOS素子部は、この酸化膜層702上に形成されている。703はそのn⁺型ソース領域、704はn⁺型ドレイン領域、705はゲート酸化膜、706はゲート電極である。酸化膜702上におけるソース領域703及びドレイン領域704を除く半導

体領域は両者703、704間のチャネルを形成するチャネル形成層707とされている。

【0009】基本的な動作は図15に示すものと同様であるが、酸化膜702があるために、この酸化膜702上のシリコン層（すなわち、チャネル形成層707）の不純物濃度を低濃度化しても、ソース領域703とドレイン領域704から空乏層が延びてソースとドレインの間が電気的に導通状態になる現象（パンチスルー現象）が抑制される。したがって、チャネル形成層707の不純物濃度を低くすることができるので、そこでの不純物散乱が低下し、MISトランジスタ特有の垂直電界も低下することとなって、ソース領域703からドレイン領域704へ流れる電流値が増大することとなる。また、酸化膜702があるため、上層素子部と下地基板701との寄生容量が少ない。さらには、酸化膜702によって下地基板701から絶縁されているため、下地基板701中で放射線によって発生した電荷がnMISトランジスタとしての動作に影響を与えないこととなる。

【0010】

【発明が解決しようとする課題】しかしながら、上述したMISトランジスタ及びSOI型MISトランジスタにあつては、ドレイン領域とチャネル領域間の接合部に発生する高電界のために、主伝導キャリアが高エネルギーに加速されて衝突イオン化を起こし、これが原因で発生した、主伝導キャリアとは逆極性の電荷がトランジスタの特性に悪影響を与えるという問題がある。

【0011】例えば、上記nチャネルのトランジスタの場合には、ドレイン領域近傍で、衝突イオン化によって、正孔が生成されるが、この正孔がゲート絶縁膜に注入し易く、ゲート絶縁膜の膜質を低下させ、トランジスタ特性を変動させてしまうこととなる。また、正孔伝導型のpMISトランジスタとSOI型pMISトランジスタでは、衝突イオン化によって生成した電子が、同様の悪影響を特性に与えることとなるのである。

【0012】また、ゲート電圧をチャネル形成層内に反転層が形成されるまで印加しても、このチャネル形成層内には電気的に中性な領域が存在する。

【0013】図17はその様子をSOI型nMISトランジスタにおいて示すものである。

【0014】この図において、801は図示しないp型下地基板上に形成された上下層間絶縁分離酸化膜、802はn⁺型ソース領域、803はn⁺型ドレイン領域、804はゲート酸化膜、805はゲート電極、806はチャネル形成層であり、素子断面中の実線は等電位の箇所を結んで形成される等電位線であつて、その中の数字は電位を表している。

【0015】図示のごとく、SOI型であつても、チャネル形成層806が厚くなれば、反転層形成レベルまでゲート電圧を印加しても空乏層はチャネル形成層806下の酸化膜801までは達せず、チャネル形成層806

中に電氣的に中性な領域（斜線部）が残存する。そのため、上記衝突イオン化によって生じた正孔がポテンシャルの低いチャンネル下方に流れることにより、チャンネル形成層806中に生じている中性領域に正孔がたまり、チャンネル形成層806の電位を上昇させる。

【0016】例えば、チャンネル形成層の厚さ $TSOI = 2500$ オングストローム、同不純物濃度 $CSOI = 10^{17} \text{ cm}^{-3}$ 、 $VD = VG = 1.5 \text{ V}$ では、図17に示される斜線部の正孔濃度は、その周りに比べて2～3桁も高く 10^{14} cm^{-3} にもなる。その結果、下地基板に正の電圧を印加するのと同様の効果が生じ、図18に示す電流－電圧特性のように、正孔がたまり始めるドレイン電圧のところでキックが生じ、更にドレイン電圧を高くしたところで平らな飽和領域ができないので、安定な回路動作が保証されないという問題がある。

【0017】本発明は上記従来技術の有する問題点に鑑みてなされたもので、その目的とするところは、衝突イオン化により生じた、キャリアとは逆極性の電荷（正孔（nチャンネル）あるいは電子（pチャンネル））のゲート酸化膜への侵入、およびチャンネル形成層での蓄積を防止し、もって特性が変動しにくく信頼性の高い、MISトランジスタを構成する半導体装置を提供することにある。

【0018】

【課題を解決するための手段】本発明による半導体装置は、半導体基板と、前記半導体基板上に形成された絶縁分離層と、前記絶縁分離層上に形成されたSiGe層と、前記SiGe層上に形成された第1導電型のシリコン領域と、前記シリコン領域中に互いに離間して形成された第2導電型のソース領域およびドレイン領域と、前記ソース領域およびドレイン領域間の前記シリコン領域表面部に設けられたチャンネル領域と、前記チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を備えたことを特徴とする。

【0019】なお、前記SiGe層は、前記チャンネル領域を伝導する主伝導キャリアとは逆極性の電荷を有するキャリアが引き込まれるエネルギー状態となっている層であることが好ましい。

【0020】なお、前記SiGe層は、SiとGeとの組成比がほぼ一定となる第1の層を含んでいることが好ましい。

【0021】なお、前記SiGe層は、前記シリコン領域との界面から離れるにつれてGeの濃度が零から増大する第2の層を含んでいることが好ましい。

【0022】なお、前記第1の層は、その全域に亘って一定のエネルギー状態となっている定エネルギー層であることが好ましい。

【0023】なお、前記第2の層は、前記キャリアが加速されるエネルギー状態となっている遷移層であることが好ましい。

【0024】特にSOI型MISトランジスタでは、分離酸化膜上のチャンネル形成層の不純物濃度をSOI構造を持たない通常構造のMISトランジスタよりも低くできるので、キャリア濃度が元来低く、衝突イオン化で生成した電子または正孔がゲート絶縁膜から離れる方向に拡散し易い。したがって、通常構造のMISトランジスタよりも高信頼性が実現できる。

【0025】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。

【0026】図1は本発明半導体装置の第1参考例に係るnチャンネルMOSFETの構造を示すもので、定エネルギー層を有する構造としたものである。

【0027】この図において、11はp型シリコン基板であって、この基板11における表面側の領域にnチャンネル素子部が形成されている。すなわち、基板11における表面近傍の領域にはチャンネル長分の間隔を置いてn⁺型ソース領域12とn⁺型ドレイン領域13とが形成され、同基板11の一主面上であって且つソース領域12とドレイン領域13との間にはゲート酸化膜14が形成され、このゲート酸化膜14上にはゲート電極15が形成されている。

【0028】基板11上における素子部のソース領域12及びドレイン領域13を除く半導体領域は2層構造となっており、そのうちゲート酸化膜14直下に位置する上層部は、形成されるチャンネル深さよりも若干深く形成され且つ単結晶シリコンにより形成されてチャンネル形成層16とされており、このチャンネル形成層16直下に位置する下層部はシリコン及びゲルマニウムがその全域にわたり、Siが75%、Geが25%の同組成比で合成されたSiGe合金からなっており、正孔のエネルギーに関し、チャンネル形成層16よりも低く且つその全域にわたり一定のエネルギー状態とされた定エネルギー層17として形成されている。

【0029】次いで、本参考例の作用を図19を参照して説明する。図19(a)は本参考例に係るnチャンネルMOSFETの断面図であり、図19(b)は図19

(a)に示す切断線A-Aで切断した断面の正孔に対するエネルギー状態を示すグラフである。図19(a)において、ゲート電極15およびソース領域12ならびにドレイン領域13にそれぞれ適切な電位が印加されると、黒丸で示した主伝導キャリアである電子が、n型ソース領域12からn型ドレイン領域13に向かって、p型チャンネル形成層16中を走行し、n型ドレイン領域近傍で衝突イオン化を起こす。一方、図19(b)から分かるように、正孔に対する定エネルギー層17のエネルギー状態は、p型チャンネル形成層16のエネルギー状態よりも低い状態に調整されている。このため、上記イオン衝突化によって発生した正孔（図19(a)中で白丸で示す）

は、p型チャンネル形成層16よりもエネルギーの低い定エ

エネルギー層17に引き込まれるように速やかに移動し、最終的にはn型ソース層12に吸収される。

【0030】その結果、正孔がゲート酸化膜14に侵入しにくくなり、トランジスタ特性の変動が抑制される。従って、従来技術よりも高信頼性が得られることとなる。

【0031】また、正孔をチャネル形成層16中のチャネルから離すことができるため、チャネル近傍で正孔が蓄積するのを防止することができ、この点からもトランジスタ特性の変動が抑制され、従来技術よりも高信頼性を実現することができることとなる。

【0032】さらに、本参考例ではゲルマニウムを含まないチャネル形成層16を素子層の最上層に形成したが、これにはゲート酸化膜14との界面の界面準位の発生をなるべく少なくする効果と、チャネル電流が流れるこの部分の禁制帯幅は大きいままにして、衝突イオン化率の上昇を防ぐという効果がある。

【0033】図2は本発明の第2参考例に係るnチャネルMOSトランジスタの構造を示すもので、定エネルギー層に加え、チャネル形成層と定エネルギー層との間に、ゲート酸化膜側から半導体基板側に向かって、つまり基板の深さ方向にエネルギーが低下する遷移層を備える構造としたものである。

【0034】この図において、21はp型シリコン基板であり、素子部は、この基板21上に形成されており、22はn⁺型ソース領域、23はn⁺型ドレイン領域、24はゲート酸化膜、25はゲート電極である。

【0035】基板21上における素子部のソース領域22及びドレイン領域23を除く半導体領域は3層構造となっており、そのうちゲート酸化膜24直下に位置する上層部は、形成されるチャネル深さよりも若干深く形成され且つ単結晶シリコンにより形成されてチャネル形成層26とされおり、このチャネル形成層26直下に位置する中間層はSiGe合金からなっており、そのシリコン及びゲルマニウムの組成比(Si:Ge)が100%:0%から75%:25%まで基板21の深さ方向に線形変化し、これにより、正孔に対するエネルギーが基板21の深さ方向に徐々に連続的に低くなる遷移層27として形成されている。この遷移層27直下の最下層部は、シリコン及びゲルマニウムがその全域にわたり、Siが75%、Geが25%の同組成比で合成されたSiGe合金からなる定エネルギー層28として形成されている。

【0036】次に、上記構造を有する本参考例の作用を図20を参照して説明する。図20(a)は本参考例に係るnチャネルMOSFETの断面図であり、図20

(b)は図20(a)に示す切断線A-Aで切断した断面の正孔に対するエネルギー状態を示すグラフである。図20(a)において、ゲート電極25およびソース領域22ならびにドレイン領域23にそれぞれ適切な電位が

印加されると、黒丸で示した主伝導キャリアである電子が、n型ソース領域22からn型ドレイン領域23に向かって、p型チャネル形成層26中を走行し、n型ドレイン領域近傍で衝突イオン化を起こす。一方、図20

(b)から分かるように、正孔に対する定エネルギー層28のエネルギー状態は、p型チャネル形成層26のエネルギー状態よりも低い状態に調整され、遷移層27のエネルギー状態はp型チャネル形成層26のエネルギー状態から定エネルギー層28のエネルギー状態に連続的に低くなるように調整されている。すなわち、正孔を基板21のより深部へ加速する擬似電界が生じることになるため、上記イオン衝突化によって発生した正孔(図20(a)中で白丸で示す)は、p型チャネル形成層26よりもエネルギーの低い定エネルギー層28に、第1参考例に比べて高速に引き込まれるように移動する。したがって、第1参考例に比べて正孔がゲート酸化膜24から高速に離れるため、第1参考例よりも高信頼性が実現できる。

【0037】図3は本発明の第3参考例に係るnチャネルMOSFETの構造を示すもので、図2に示すものからチャネル形成層を抜いたものに相当し、定エネルギー層と深さ方向の遷移層とを備え、この遷移層によりチャネル形成層を兼ねるようにしたものである。

【0038】この図において、31はp型シリコン基板であり、素子部は、32はこの基板31上に形成された素子部のn⁺型ソース領域、33は同じくn⁺型ドレイン領域、34はゲート酸化膜、35はゲート電極である。

【0039】基板31上の素子部におけるソース領域32及びドレイン領域33を除く半導体領域は2層構造となっており、そのうちゲート酸化膜34直下に位置する上層部は、形成されるチャネル深さよりも十分深く形成され且つSiGe合金からなっており、そのシリコン及びゲルマニウムの組成比(Si:Ge)が100%:0%から75%:25%まで基板31の深さ方向に線形変化し、これにより、正孔に対するエネルギーが基板31の深さ方向に徐々に連続的に低くなる遷移層36として形成されている。この遷移層36直下の最下層部は、シリコン及びゲルマニウムがその全域にわたり、Siが75%、Geが25%の同組成比で合成されたSiGe合金からなる定エネルギー層37として形成されている。

【0040】このような構造を有する本参考例のFETによれば、ゲート酸化膜34直下から前述したような類似電界が発生するので、図2に示した第2参考例よりも更に高速に正孔がゲート酸化膜34、そしてチャネル形成領域から離れ、且つソース領域32から排出される。

【0041】図4は本発明の第1実施例に係るSOI型nチャネルMOSFETの構造を示すもので、このものはSOI構造と図1に示す第1参考例の構造とを組合せたものに相当する。

【0042】この図において、41はp型シリコン基板

であり、この基板41上には基板41とその上層の素子層とを電気的に絶縁分離し、SOI構造を提供する層間分離酸化膜42が形成されている。43は、この基板41上に形成された素子部の n^+ 型ソース領域、44は同じく n^+ 型ドレイン領域、45はゲート酸化膜、46はゲート電極である。

【0043】基板41上の素子部におけるソース領域43及びドレイン領域44を除く半導体領域は2層構造となっており、そのうちゲート酸化膜45の直下に位置する上層部は、形成されるチャネル深さよりも若干深く形成され且つ単結晶シリコンからなるチャネル形成層47とされ、このチャネル形成層47の直下に位置する下層部は、シリコン及びゲルマニウムがその全域にわたり、Siが75%、Geが25%の同組成比で合成されたSiGe合金からなる定エネルギー層48として形成されている。

【0044】本実施例によれば、分離酸化膜42上のチャネル形成層47の不純物濃度をSOI構造を持たない通常構造のMISトランジスタよりも低くできるので、衝突イオン化で生成した正孔がチャネル形成領域側から離れる方向に拡散し易く、通常構造のMISトランジスタよりも高信頼性が実現できる。

【0045】図5は本発明の第2実施例に係るSOI型 n チャネルMOSFETの構造を示すもので、このものはSOI構造と図2に示す第2参考例の構造とを組合わせたものに相当する。

【0046】この図において、51は p 型シリコン基板であり、この基板51上には層間分離酸化膜52が形成されており、53は、この酸化膜52上に形成された素子部の n^+ 型ソース領域、54は同じく n^+ 型ドレイン領域、55はゲート酸化膜、56はゲート電極である。

【0047】酸化膜52上の素子部におけるソース領域53及びドレイン領域54を除く半導体領域は3層構造となっており、そのうちゲート酸化膜55の直下に位置する最上層部は、形成されるチャネル深さよりも若干深く形成され且つ単結晶シリコンからなるチャネル形成層57とされ、このチャネル形成層57の直下に位置する中間層はSiGe合金からなっており、そのシリコン及びゲルマニウムの組成比(Si:Ge)は100%:0%から75%:25%まで基板51の深さ方向に線形変化し、これにより、正孔に対するエネルギーが基板51の深さ方向に徐々に連続的に低くなる遷移層57として形成されている。この遷移層57直下の下層部は、シリコン及びゲルマニウムがその全域にわたり、Siが75%、Geが25%の同組成比で合成されたSiGe合金からなる定エネルギー層58として形成されている。

【0048】本実施例によれば、遷移層57の存在により、図4に示す第1実施例よりも更に一層、衝突イオン化で生成した正孔がチャネル形成領域から離れやすくなる。

【0049】図6は本発明の第3実施例に係るSOI型 n チャネルMOSFETの構造を示すもので、このものは、SOI構造と図3に示す第3参考例の構造とを合わせ持ったものに相当する。

【0050】この図において、61は p 型シリコン基板、62はこの基板61上には層間分離酸化膜、63はこの酸化膜62上に形成された素子部の n^+ 型ソース領域、64は同じく n^+ 型ドレイン領域、65はゲート酸化膜、66はゲート電極である。

【0051】酸化膜62上の素子部におけるソース領域63及びドレイン領域64を除く半導体領域は2層構造となっており、そのうちゲート酸化膜65の直下に位置する上層部は、形成されるチャネル深さよりも十分に深く形成され且つSiGe合金からなっており、そのシリコン及びゲルマニウムの組成比(Si:Ge)は100%:0%から75%:25%まで基板61の深さ方向に線形変化し、これにより、正孔に対するエネルギーが基板61の深さ方向に徐々に連続的に低くなる遷移層67として形成されている。この遷移層67直下の下層部は、シリコン及びゲルマニウムがその全域にわたり、Siが75%、Geが25%の同組成比で合成されたSiGe合金からなる定エネルギー層68として形成されている。

【0052】よって、本実施例によれば、図5に示す第2実施例よりも一層、衝突イオン化で生成した正孔がチャネル形成領域から離れ易くなる。

【0053】図7は本発明の第4参考例に係る n チャネルMOSFETの構造を示すものであり、この図に示すものは、図2に示す第2参考例のFETから定エネルギー層を取去ったものに相当し、深さ方向の遷移層のみを備える構造となっている。

【0054】この図において、71は p 型シリコン基板、72はこの基板71上に形成された素子部の n^+ 型ソース領域、73は同じく n^+ 型ドレイン領域、74はゲート酸化膜、75はゲート電極である。

【0055】基板71上の素子部におけるソース領域72及びドレイン領域73を除く半導体領域は基板71とした基底層を含めて3層構造となっており、そのうちゲート酸化膜74の直下に位置する上層部は、形成されるチャネル深さよりも若干に深く形成され且つ単結晶シリコンからなるチャネル形成層76とされており、その下層部はSiGe合金からなっており、そのシリコン及びゲルマニウムの組成比(Si:Ge)は100%:0%から75%:25%まで基板71の深さ方向に線形変化して、正孔に対するエネルギーが基板61の深さ方向に徐々に連続的に低くなる遷移層77として形成されている。

【0056】本実施例によってもチャネル直下における遷移層77の存在により、正孔がチャネル形成領域から離れやすくなることができるとともに、SiGe層中に正孔が蓄積されにくくなり、寄生バイポーラ効果を抑制

することができる。

【0057】図8は本発明の第5参考例に係るnチャネルMOSFETの構造を示すもので、ここでは、図3に示す第3参考例のFETから定エネルギー層を取去り、遷移層のみを有する構造としたものを示している。

【0058】この図において、81はp型シリコン基板、82はこの基板81上に形成された素子部のn⁺型ソース領域、83は同じくn⁺型ドレイン領域、84はゲート酸化膜、85はゲート電極である。

【0059】基板81上の素子部におけるソース領域82及びドレイン領域83を除く半導体領域は基板81からなる基底層を含めて2層構造となっており、ゲート酸化膜84の直下に位置する上層部は、形成されるチャネル深さよりも深く形成され且つSiGe合金からなり、そのシリコン及びゲルマニウムの組成比(Si:Ge)は100%:0%から75%:25%まで基板81の深さ方向に線形変化して、正孔に対するエネルギーが基板81の深さ方向に徐々に連続的に低くなる遷移層86として形成されている。

【0060】よって、本参考例によれば、図7に示す第4参考例よりも一層の効果を期待できる。

【0061】図9は本発明の第4実施例に係るSOI型nチャネルMOSFETの構造を示すもので、この図に示すものは、SOI構造と図7に示す構造とを組合わせたものに相当する。

【0062】この図において、91はp型シリコン基板、92はこの基板91上に形成された層間分離酸化膜、93はこの酸化膜92上に形成された素子部のn⁺型ソース領域、94は同じくn⁺型ドレイン領域、95はゲート酸化膜、96はゲート電極である。

【0063】酸化膜92上の素子部におけるソース領域93及びドレイン領域94を除く半導体領域は2層構造となっており、そのうちゲート酸化膜95の直下に位置する上層部は、形成されるチャネル深さよりも深く形成され且つ単結晶シリコンからなっており、チャネル形成層97とされており、このチャネル形成層97の下層側の層はSiGe合金からなっており、そのシリコン及びゲルマニウムの組成比(Si:Ge)は100%:0%から75%:25%まで基板91の深さ方向に線形変化する遷移層98として形成されているものである。

【0064】よって、本実施例によれば、SOI構造を有することから図7に示す第4参考例よりも一層の効果が期待され、かつSOI浮遊効果の抑制も可能となる。

【0065】図10は本発明の第5実施例に係るSOI型nチャネルMOSFETの構造を示すもので、ここではSOI構造と図8に示す構造とを組合わせた構造を有するものが示されている。

【0066】この図において、101はp型シリコン基板、102はこの基板101上に形成された層間分離酸化膜、103はこの酸化膜102上に形成された素子部

のn⁺型ソース領域、104は同じくn⁺型ドレイン領域、105はゲート酸化膜、106はゲート電極である。

【0067】酸化膜102上の素子部におけるソース領域103及びドレイン領域104を除く半導体領域はその全域に亘りチャネル形成層を兼任する遷移層107とされている。この遷移層107も、上記と同様、SiGe合金からなり、そのシリコン及びゲルマニウムの組成比(Si:Ge)は100%:0%から75%:25%まで基板101の深さ方向に線形変化するものとして形成されている。

【0068】よって、本実施例によれば、図9に示す第4実施例よりも一層の効果を期待することができることとなる。

【0069】図11は本発明の第6実施例に係るSOI型nチャネルMOSFETの構造を示すもので、その特徴とするところは、主伝導キャリアとは逆極性の電荷に対し、上記基板の深さ方向に加え、ドレイン領域からソース領域に向かう方向(以下、便宜上、横方向と略称する。)の遷移を与えたことにある。

【0070】この図において、201はp型シリコン基板であり、この基板201上にはSOI構造を与える層間分離酸化膜202が形成されるとともに、素子形成領域を囲むように素子間分離酸化膜203が形成されている。

【0071】204は素子部のn⁺型ソース領域、205はn⁺型ドレイン領域、206はゲート酸化膜、207はゲート電極、208は素子層と配線層とを電気的に絶縁分離する層間分離酸化膜、209はソース電極、210はドレイン電極である。酸化膜202上における素子部のソース領域204及びドレイン領域205を除く半導体領域は3層構造となっており、そのうちゲート酸化膜206の直下に位置する上層部は単結晶シリコンからなり且つチャネルをカバーできる程度の深さを有するチャネル形成層211として形成されている。このチャネル形成層211の下層はSiGe合金からなっており、そのシリコン及びゲルマニウムの組成比(Si:Ge)は100%:0%から75%:25%まで深さ方向及び横方向に線形に増大する遷移層212として形成されている。例えば、深さ方向に相当する図11におけるA-A'線に沿った箇所組成比(Si:Ge)は100%:0%から80%:20%まで変化し、横方向に相当する図11中のB-B'線に沿った箇所組成比(Si:Ge)は95%:5%から85%:15%まで変化する。よって、この遷移層212においては、酸化膜202に近づくほど、そしてソース領域204に近づくほど、正孔に対するエネルギー状態が低くなる。遷移層212の下層は基底層213とされ、基板201と同じ単結晶シリコンからなっている。

【0072】本実施例によれば、遷移層212において

10

20

30

40

50

は、酸化膜202に近付くほど、そしてソース領域204に近付くほど、正孔に対するエネルギー状態が低くなるため、SOI型nチャネルMOSFETの主要電流成分である電子がドレイン付近で衝突イオン化により発生させた過剰な正孔を、速やかにゲルマニウムの割合の高い方、すなわち、素子領域におけるゲート酸化膜206側とは反対側の深い方向に、それもソース領域204側に導く役目を果たすため、深さ方向の遷移のみに比べ、過剰な正孔をより速やかにソース電極から引き抜くことができることとなる。

【0073】また、本実施例ではゲルマニウムを含まないチャネル形成層211をSOI素子層の最上層に形成したが、これにはゲート酸化膜206との界面の界面準位の発生をなるべく少なくする効果と、チャネル電流が流れるこの部分の禁制帯幅は大きいままにして、衝突イオン化率の上昇を防ぐという効果がある。

【0074】ここにおいて、これまで述べてきたMOSFETのうち図1に示す第1参考例、図4に示す第1実施例、図11に示す第6実施例の製法について図面を参照し以下に説明する。

【0075】図12は図1に示す第1参考例のFET構造を得るための製造プロセスを工程別素子断面によって図解するものである。

【0076】まず、p型シリコン基板301上にSiGe合金膜302と単結晶シリコン膜303とを、その順に、UHV/CVD (Ultra High Vacuum / Chemical Vapor Deposition) またはMBE (Molecular Beam Epitaxy) を用いて形成する(図12(a))。なお、ここにおいてSiGe合金膜302を形成するにあたり、それらの材料ガスの供給を制御することで、シリコンとゲルマニウムとの組成比(Si:Ge=75%:25%)を全域に亘り一定に維持したり、深さ方向や横方向に変化させることが可能である。

【0077】次に、単結晶シリコン膜303上を熱酸化して酸化膜304を形成し、この酸化膜304上に多結晶シリコン膜305を、上記UHV/CVDまたはMBE法により堆積させる(図12(b))。

【0078】続いて、リングラフィ技術により酸化膜304及び多結晶シリコン膜305をパターンニングし、ゲート酸化膜306とゲート電極307とを形成する(図12(c))。

【0079】そして、単結晶シリコン膜303側からSiGe合金膜302に進入するに至る深さまで、ヒ素をイオン注入することによって、n⁺型ソース領域308とn⁺型ドレイン領域309を形成すると同時にSiGe合金膜310を低エネルギー層310、単結晶シリコン膜303をチャネル形成層311としてそれぞれ形成する(図12(d))。

【0080】以上の製造工程によれば、図1の第1参考例のMOSFET構造が得られる。なお、PECVDま

たはMBEにおいて、ゲルマニウムの組成比を連続的に変化させれば、第2(図2)、第3(図3)、第4(図7)、第5(図8)参考例の構造も同様の製造工程で得られることとなる。

【0081】次に、図4の第1実施例のSOI型nチャネルMOSFET構造を得るための製造プロセスについて図13を参照しつつ説明する。

【0082】まず、シリコン基板401上にLPCVD (Low Pressure Chemical Vapor Deposition) によって酸化膜402を形成した後、SiGe合金膜403と単結晶シリコン膜404とをUHV/CVDまたはMBEによって形成する(図13(a))。

【0083】次いで、PECVDによって酸化膜405を形成した後、n⁺型多結晶シリコン膜406を形成する(図13(b))。

【0084】続いて、リングラフィ技術により酸化膜405及び多結晶シリコン膜406をパターンニングし、ゲート酸化膜407とゲート電極408とを形成する(図13(c))。

【0085】そして、単結晶シリコン膜404側からSiGe合金膜403に進入するに至る深さまで、ヒ素をイオン注入することによって、n⁺型ソース領域409とn⁺型ドレイン領域410とを形成すると同時に、両領域409、410間におけるSiGe合金膜403を低エネルギー層411、単結晶シリコン膜404をチャネル形成層412としてそれぞれ形成する(図13(d))。

【0086】以上の製造工程によれば、図4の第1実施例のFET構造が得られる。なお、PECVDまたはMBEにおいて、ゲルマニウムの組成比を連続的に変化させれば、第2(図5)、第3(図6)、第4(図9)、第5(図10)実施例の構造も同様の製造工程で得られる。

【0087】図14は図11に示すSOI型nチャネルMOSFETの製造プロセスを工程別素子断面で図解するものである。

【0088】まず最初に、半導体基板501上にスパッタ法またはCVD法などによりシリコン酸化膜502を全面に約1μmの厚みで形成し、ついでシリコン酸化膜502上に多結晶シリコン膜を例えば6000オングストロームの厚みで形成する。ついで電子ビームアニール法、あるいは、ヒータによるアニール法などを用いて上記多結晶シリコン膜を単結晶化し、酸化性雰囲気中で酸化してフッ化アンモニウムなどの溶液で酸化膜を除去、あるいはRIEなどのドライエッチングによるエッチバック法により約1000オングストロームの膜厚の単結晶シリコン膜503を形成する(図14(a))。

【0089】次いで、高真空CVD法あるいは分子線エピタキシャル法などにより、単結晶シリコン膜503上に1000オングストローム程度の膜厚のシリコン・ゲ

ルマニウム合金膜504を形成する。この際、ゲルマニウムの割合が下層から上層に向かって上述した組成変化でなだらかに減少するように原料ガスの供給を制御する。この後ドレイン側となる部分にレジスト等でマスクをし、例えば45°の斜めイオン注入法により100KeVでGeイオンを注入しレジストを除去した後、例えば600℃で24時間アニールすることにより横方向にGeの含有率に分布をもたせることができる。さらに、連続してゲルマニウムを含まない単結晶シリコン膜505を例えば100オングストローム程度、SiGe合金膜504上に形成する(図14(b))。ここで単結晶シリコン膜505は 10^{16} cm^{-3} 以下の低濃度にp型の不純物が導入されていることが望ましい。

【0090】その後、単結晶シリコン膜505上に熱酸化法またはCVD法などを用いて酸化膜を例えば200オングストローム形成し、さらにこの酸化膜上にLPCVD法などによりゲート電極となる多結晶シリコン膜を例えば4000オングストローム形成し、これら酸化膜及び多結晶シリコン膜を同時にパターニングしてゲート酸化膜511及びゲート電極512を形成する。次に、これらゲートの両側に自己整合的に、例えば 10^{20} cm^{-3} 程度の高濃度のヒ素などのn型不純物をイオン注入して拡散し、nチャネルトランジスタのソース領域507及びドレイン領域508となるn型拡散層を形成すると同時に、これらの領域507、508以外の領域における単結晶シリコン膜503を基底層506、SiGe合金膜504を遷移層509、単結晶シリコン膜505をチャネル形成層510としてそれぞれ形成する(図14(c))。

【0091】その後、トレンチ用のホールを開孔し、その状態でCVD法等によりシリコン酸化膜を全面に形成した後、ソース・ドレイン領域507、508に達するコンタクトホールをそれぞれ開孔して、素子間分離酸化膜514及び層間分離酸化膜513として形成し、さらに、このコンタクトホールに金属配線を埋込むことにより、ソース電極515及びドレイン電極516を形成して、本発明の一実施例である半導体装置が形成される(図14(d))。この場合の電極515、516の材料は、n型拡散層とオーミックなコンタクトをとれるものならば何でもよい。

【0092】なお、この実施例では、はじめにSOI用の酸化膜502上に基底層506となる単結晶シリコン膜503を形成するために、まず多結晶シリコン膜を堆積し、これをアニールによって単結晶化した後、例えばシリコン基板に酸素原子をイオン注入して埋込み酸化膜を形成するSIMOX法などを用いてもよい。あるいは絶縁膜の上に直接エピタキシャル成長を行っても構わない。

【0093】また、ゲート電極512に多結晶シリコン膜を用いたが、所望の閾値が得られるようなものなら、

他の半導体材料でも、シリサイド化合物でも、例えばアルミニウム、タングステンなどのような金属でもかまわない。

【0094】さらに、上記の実施例では遷移層509中の禁制帯を変化させる手段としてSiGe合金を用いた。SiGe合金においては、ゲルマニウムの含有率を20%程度にまですると禁制帯がシリコンよりも0.1eV以上狭くなる。SiGe合金の場合にはこの禁制帯の変化は主として価電子帯の変化によるものであり、伝導帯を流れる電子はほとんど影響を受けないが、価電子帯を流れる正孔は、ゲルマニウムの含有率を変化させたために生じる価電子帯の傾きにより、ゲルマニウムの割合の高いほうに向かって、力を受ける。0.1eVの禁制帯の差が1000オングストロームにあれば電界の強さは10kV/cmになり、正孔をこの電界により流すことが可能である。したがって、nチャネルSOIMOSFETの主要電流成分である電子がドレイン付近で衝突イオン化により発生させた過剰な正孔を、速やかにゲルマニウムの割合の高い方、すなわち、ゲートと反対の深い方向に流し出す役目を果たす。SiGe合金以外にも、禁制帯の滑らかな減少が可能で、かつ、その変化の主な部分は価電子帯側の変化であるような物質であればよい。

【0095】また、禁制帯が狭いところでは、真性キャリア濃度が高くなるため、流れ込んだ正孔の再結合確率が増す。また残留する場合も、従来の構造に比べて、ゲートからの距離が遠いので、従来のSOI型MOSFETのように基板の電位を変化させることなくドレイン電流を安定にすることが可能になる。

【0096】さらに、pチャネルSOIMOSFETでは、禁制帯の滑らかな減少が可能で、かつ、その変化の主な部分は伝導帯側の変化であるような物質を用いれば、上記のSOI型nチャネルMOSFETと同様の高性能SOI型pチャネルMOSFETが可能である。

【0097】

【発明の効果】以上説明したことから明らかなように本発明によれば、チャネル形成層の表面部よりも基板側の方が主伝導キャリアとは逆極性の電荷によってエネルギーが低く、ドレイン領域近傍で、衝突イオン化によって生成した新生電荷は従来技術によるMISトランジスタよりも高速に基板側へ移動することとなるため、ゲート絶縁膜に高エネルギーの電荷が注入しにくく、ゲート絶縁膜の膜質低下が抑制されることとなる。

【0098】また、チャネル形成領域下に当該新生電荷が蓄積されにくくなるため、高いドレイン電圧まで安定した電流-電圧特性を得ることができる。

【0099】さらに、ゲート絶縁膜側から半導体基板側に向かってエネルギーが低下する遷移層を備えることとすれば、衝突イオン化で生じた電荷を速やかに下部に流出させることができる。

【0100】特にSOI型MISトランジスタでは、分離酸化膜上のチャネル形成層の不純物濃度をSOI構造を持たない通常構造のMISトランジスタよりも低くできるので、キャリア濃度が元来低く、衝突イオン化で生成した電子または正孔がゲート絶縁膜から離れる方向に拡散し易い。したがって、通常構造のMISトランジスタよりも高信頼性が実現できる。

【図面の簡単な説明】

【図1】本発明の第1参考例に係るnチャネルMOSFETの構造を示す素子断面図。

【図2】本発明の第2参考例に係るnチャネルMOSFETの構造を示す素子断面図。

【図3】本発明の第3参考例に係るnチャネルMOSFETの構造を示す素子断面図。

【図4】本発明の第1実施例に係るSOI型nチャネルMOSFETの構造を示す素子断面図。

【図5】本発明の第2実施例に係るSOI型nチャネルMOSFETの構造を示す素子断面図。

【図6】本発明の第3実施例に係るSOI型nチャネルMOSFETの構造を示す素子断面図。

【図7】本発明の第4参考例に係るnチャネルMOSFETの構造を示す素子断面図。

【図8】本発明の第5参考例に係るnチャネルMOSFETの構造を示す素子断面図。

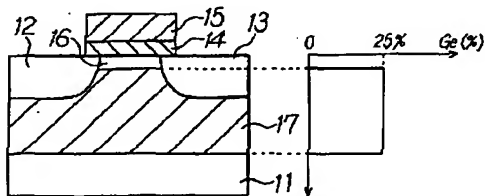
【図9】本発明の第4実施例に係るSOI型nチャネルMOSFETの構造を示す素子断面図。

【図10】本発明の第5実施例に係るSOI型nチャネルMOSFETの構造を示す素子断面図。

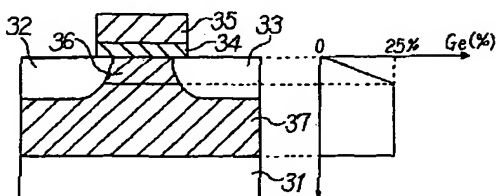
【図11】本発明の第6実施例に係るnチャネルMOSFETの構造を示す素子断面図。

【図12】図1に示すFET構造の製造プロセスを示す工程別素子断面図。

【図1】



【図3】



【図13】図4に示すFET構造の製造プロセスを示す工程別素子断面図。

【図14】図11に示すFET構造の製造プロセスを示す工程別素子断面図。

【図15】従来のnチャネルMOSFETの構造を示す素子断面図。

【図16】従来のSOI型nチャネルMOSFETの構造を示す素子断面図。

【図17】従来のSOI型nチャネルMOSFETにおける電位分布を示す等電位線図。

【図18】図17に示すSOI型nチャネルMOSFETにおける $V_D - I_D$ 特性を示す曲線図。

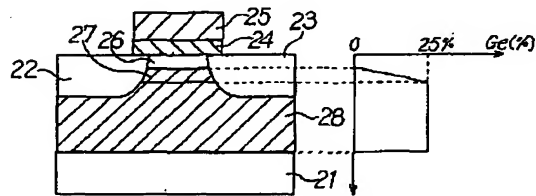
【図19】第1参考例の作用を説明する図。

【図20】第2参考例の作用を説明する図。

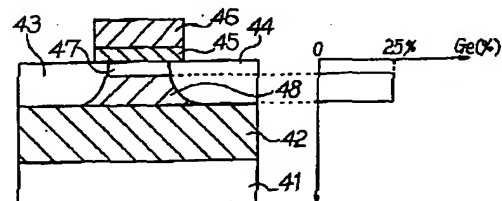
【符号の説明】

11, 21, 31, 41, 51, 61, 71, 81, 91, 101, 201 p型シリコン基板
12, 22, 32, 43, 53, 63, 72, 82, 93, 103, 204 n⁺型ソース領域
13, 23, 33, 44, 54, 64, 73, 83, 94, 104, 205 n⁺型ドレイン領域
14, 24, 34, 45, 55, 65, 74, 84, 95, 105, 206 ゲート酸化膜
15, 25, 35, 46, 56, 66, 75, 85, 96, 106, 207 ゲート電極
16, 26, 47, 57, 76, 97, 211 チャネル形成層
17, 28, 37, 48, 59, 68 定エネルギー層
27, 36, 58, 67, 77, 86, 98, 107, 212 遷移層
42, 52, 62, 92, 102, 202 層間分離酸化膜

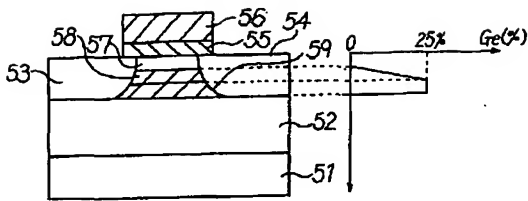
【図2】



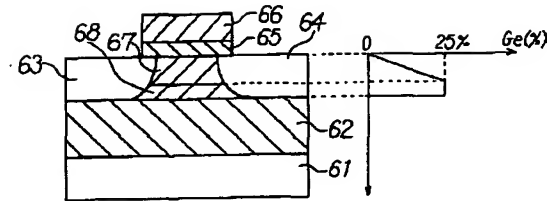
【図4】



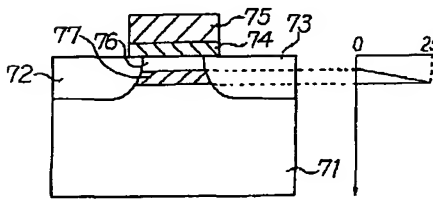
【図5】



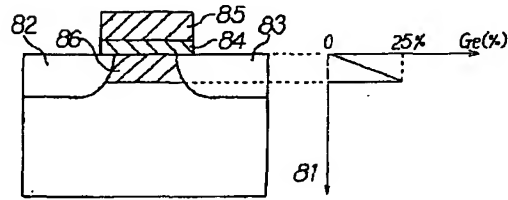
【図6】



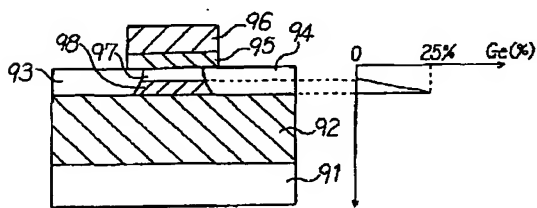
【図7】



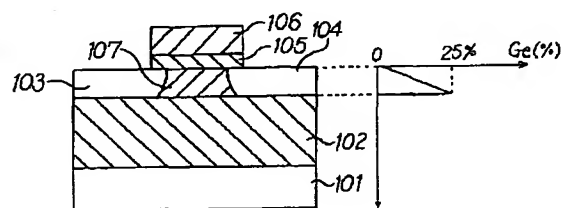
【図8】



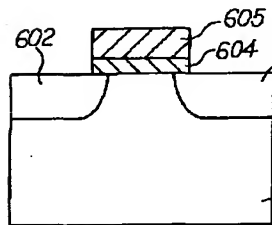
【図9】



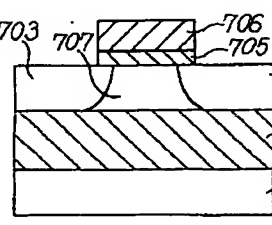
【図10】



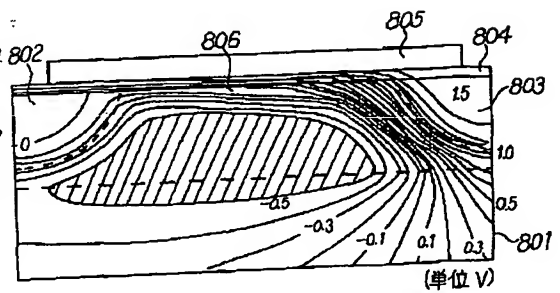
【図15】



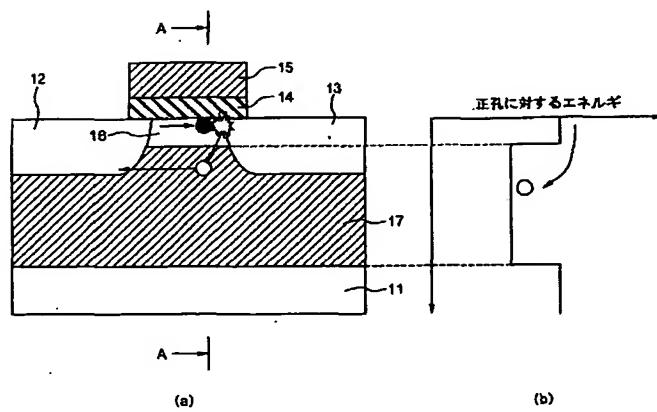
【図16】



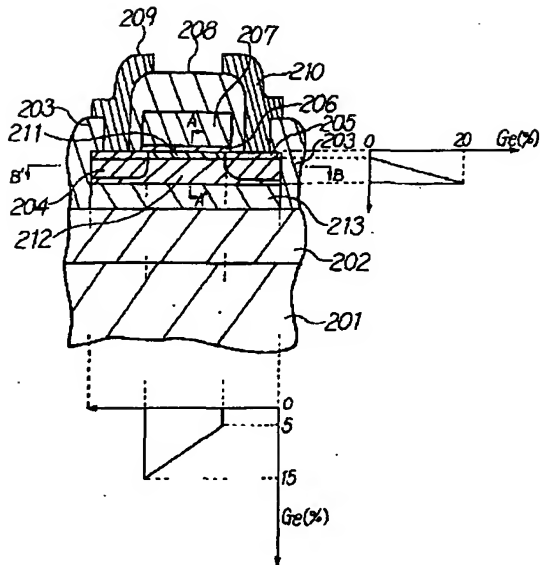
【図17】



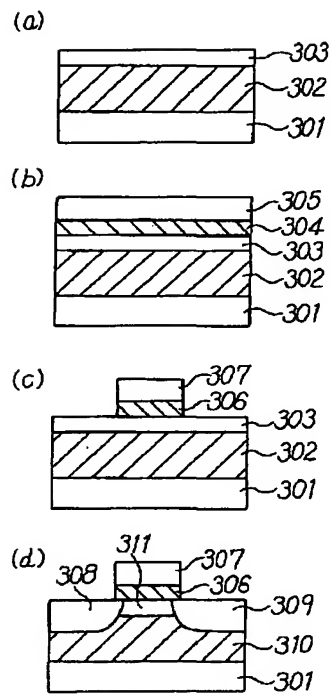
【図19】



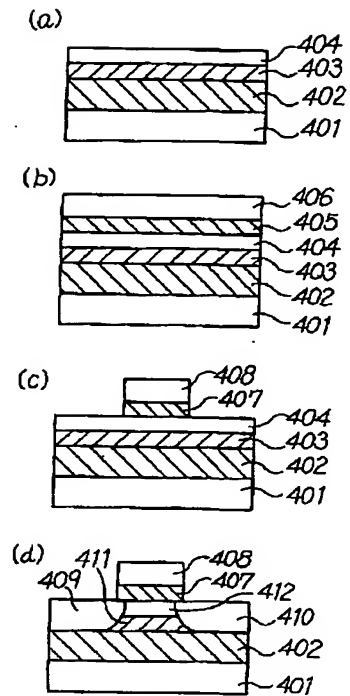
【図11】



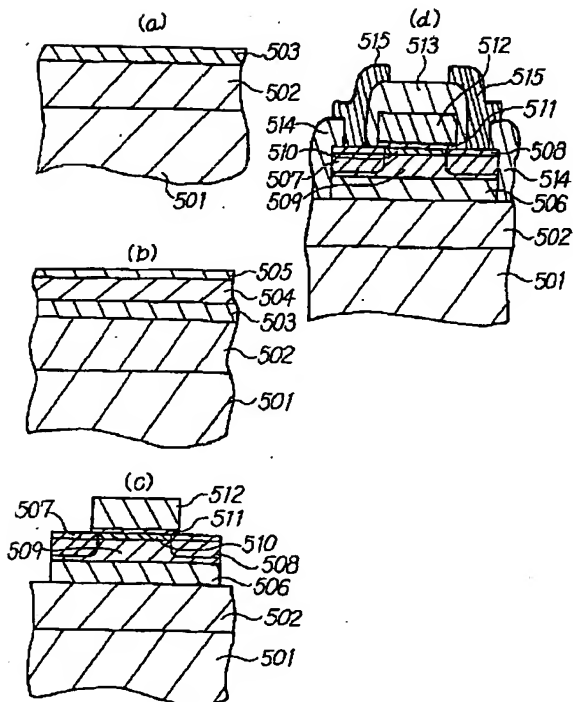
【図12】



【図13】



【図14】



【図18】

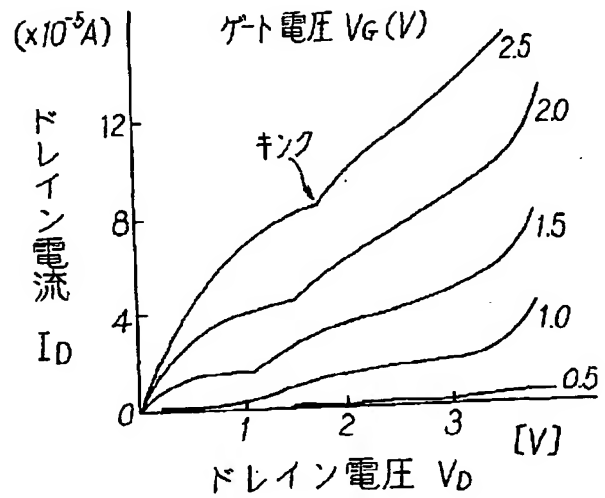


Figure 1 consists of two cross-sectional views of a semiconductor device.
 (a) is a cross-sectional view showing a substrate 21 with a layer 22 on top. A cross-section line A-A is indicated. The device includes a central region 23, a layer 24, a layer 25, a layer 26, a layer 27, and a layer 28. A cross-section line A-A is indicated.
 (b) is a cross-sectional view showing a substrate 21 with a layer 22 on top. A cross-section line A-A is indicated. The device includes a central region 23, a layer 24, a layer 25, a layer 26, a layer 27, and a layer 28. A cross-section line A-A is indicated. The label '正孔に対するエネルギー' (Energy for holes) is shown with an arrow pointing to the right.

(56) 参考文献

特開	平 1-120067 (J P, A)
特開	昭61-4280 (J P, A)
特開	平 3-3366 (J P, A)
特開	昭63-252478 (J P, A)
特開	昭63-313865 (J P, A)
特開	平 2-100327 (J P, A)

(58)調査した分野(Int.Cl.⁷, DB名)
H01L 29/78